

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07143133 A

(43) Date of publication of application: 02.08.95

(51) Int. Cl.

H04L 12/28
H04L 29/08

(21) Application number: 05147975

(71) Applicant: NEC CORP

(22) Date of filing: 18.06.93

(72) Inventor: KAGAWA MANABU

(54) MULTI-LAYER PROTOCOL PROCESSOR FOR
COMMON USE OF MEMORY

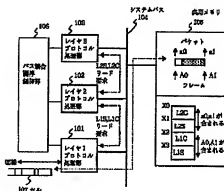
indirectly based on addresses stored in the common use
memory 105.

(57) Abstract:

COPYRIGHT: (C)1995,JPO

PURPOSE: To reduce a required memory quantity by using a memory for storing line input output data in common for layers and transferring the data indirectly through the use of addresses stored in the common use memory.

CONSTITUTION: Each processing among layers 1-3 is implemented respectively by a layer 1 protocol processing section 101, a layer 2 protocol processing section 102, and a layer 3 protocol processing section 103. Each of the protocol processing sections 101-103 is connected to a common use memory 105 through a system bus 104 and to a bus contention arbitration control section 106 controlling the use of the common use memory 105. That is, each of the protocol processing sections 101-103 and the common use memory 105 are connected through the bus to be accessible to each other, and the bus contention arbitration control section 106 is connected to each processing section so as to avoid the collision when the bus is in use. Then input output line data themselves are not directly transferred among the layers 1-3 but transferred



特開平7-143133

(43) 公開日 平成7年(1995)6月2日

(51) Int. Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 12/28 29/08		8732-5K 9371-5K	H 0 4 L 11/ 20 13/ 00	G 3 0 7 Z
審査請求 有 請求項の数 1 O L (全 7 頁)				

(21) 出願番号 特願平5-147975

(22) 出願日 平成5年(1993)6月18日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 香川 学

東京都港区芝五丁目7番1号 日本電気株
式会社内

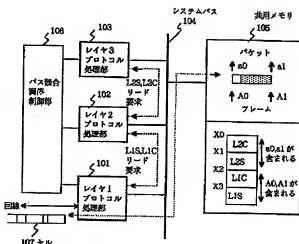
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 メモリ共用多層プロトコル処理装置

(57) 【要約】

【目的】 階層（レイヤ）構造に基づいたシステムにおいてシステム全体で要するメモリ量を削減し、またシステム全体での処理能力を軽減すること。

【構成】 階層構造に基づいたデータ通信処理を行う装置であって、レイヤ1プロトコル処理装置、レイヤ2プロトコル処理装置及びレイヤ3プロトコル処理装置と、各レイヤプロトコル処理装置と回線との間で入出力され、ユーザデータ及び各レイヤのプロトコル処理に用いられるヘッダ情報等のデータを格納する共用メモリと、を有し、各レイヤプロトコル処理装置のそれぞれは、共用メモリにアクセス可能に構成され、レイヤ1-レイヤ2間で行われるフレーム転送やレイヤ2-レイヤ3間で行われるパケット転送においては共用メモリに格納されたデータを直接転送することなく、格納された共用メモリ上の先頭及び末尾アドレス値により、間接的にデータの転送を行う。



【特許請求の範囲】

【請求項1】 階層構造に基づいたデータ通信処理を行う装置であって、

レイヤ1プロトコル処理装置、レイヤ2プロトコル処理装置及びレイヤ3プロトコル処理装置と、各レイヤプロトコル処理装置と回線との間で入出力され、ユーザデータ及び各レイヤのプロトコル処理に用いられるヘッダ情報等のデータを格納する共用メモリと、を有し、

各レイヤプロトコル処理装置のそれぞれは、前記共用メモリにアクセス可能に構成され、レイヤ1-レイヤ2間で行われるフレーム転送やレイヤ2-レイヤ3間で行われるパケット転送においては共用メモリに格納されたデータを直接転送することなく、格納された共用メモリ上の先頭及び末尾アドレス値により、間接的にデータの転送を行うことを特徴とするメモリ共用多層プロトコル処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は階層構造に基づいたレイヤ1～レイヤ3のデータ通信処理装置に関し、特に、レイヤ1にATMプロトコルを使用する場合のデータ通信処理装置に関する。

【0002】

【従来の技術】 図4は従来のデータ通信処理装置の構成を示す図である。従来技術について図4を参照して以下に説明する。

【0003】 図4に示す装置は、レイヤ1プロトコル処理部201、レイヤ2プロトコル処理部202、レイヤ3プロトコル処理部203によりレイヤ1～レイヤ3の各処理がそれぞれ行われる。レイヤ2プロトコル処理部202およびレイヤ3プロトコル処理部203はシステムバス204を介してレイヤ2、レイヤ3用回線データメモリ206と接続され、また、該メモリ206の使用状況を制御するバス競合制御部207と接続されている。ATMプロトコルが使用されるレイヤ1プロトコル処理部201には、処理に高速性が要求されるためレイヤ1専用レイヤ1用回線データメモリ205が設けられており、これと接続されている。

【0004】 従来のレイヤ1プロトコル処理部201（ATM）及びレイヤ2プロトコル処理部202で行われるプロトコル処理では、ユーザデータと各レイヤのヘッダ情報を含めたデータセグメントを入力データとして処理が行われていた。

【0005】 レイヤ1プロトコル処理部201では回線（ユーザ、端末）との間でセル208が送受信される。このときの受信側処理として、受信されたセル208は次レイヤ1用回線データメモリ205に格納され、フレームに組み立てられた後、レイヤ2プロトコル処理部202に転送される。送信側処理としてはレイヤ2プロトコル

処理部202より送られたフレームがセルに分解され、セル208として出力される。

【0006】 レイヤ2プロトコル処理部202ではレイヤ1プロトコル処理部201との間でフレームが送受信されるが、このときの受信側処理としては入力フレーム内のヘッダ情報によりレイヤ2プロトコル処理が行われ、この後ヘッダを削除し、パケットとしてレイヤ3プロトコル処理部203へ引き渡す。送信側処理としてはレイヤ3プロトコル処理部203より引き取ったパケットにヘッダ情報を付加し、フレームとしてレイヤ1プロトコル処理部201に転送する。

【0007】 以上のように、従来はレイヤ1とレイヤ2の間ではフレームが直接転送されていた。

【0008】

【発明が解決しようとする課題】 上述した従来のデータ通信処理装置では以下の2点が問題となる。

【0009】 (1) ユーザデータの2重格納

レイヤ1ではレイヤ1専用の回線入出力データ内ユーザデータ（この場合フレーム）格納用メモリを要し、レイヤ2及びレイヤ3ではレイヤ2及びレイヤ3用のレイヤ1と送受されるデータセグメント（フレーム）内ユーザデータ（パケット）格納用メモリを要していた。

【0010】 回線データの内容はユーザデータ及び各レイヤのヘッダ情報により構成されるが、その大部分はユーザデータにより占められる。このユーザデータは各レイヤが参照することのないデータであり、本来各レイヤ処理部ではそのプロトコル処理に必要とされないものである。この回線データの大部分を占め、かつ、各レイヤプロトコルで必要とされないデータをレイヤ1、レイヤ2で格納するのはシステム全体としてのメモリ量を不必要に増やすものとなる。

【0011】 (2) レイヤ間データ転送による処理能力の低下

回線データ内の大部分を占めるユーザデータをレイヤ1-レイヤ2間で転送することにより、プロトコル処理以外にその転送処理を行うことが必要となり、その分プロトコル処理能力を制することになる。

【0012】 本発明は上述したような従来の技術が有する問題点に鑑みてなされたものであって、階層（レイヤ）構造に基づいたシステムにおいてレイヤ1（ATM）、レイヤ2、レイヤ3の3層のプロトコル処理を行う際、システム全体で要するメモリ量を削減し、またシステム全体での処理能力を増進することを目的とする。

【0013】

【課題を解決するための手段】 本発明のメモリ共用多層プロトコル処理装置は、階層構造に基づいたデータ通信処理を行う装置であって、レイヤ1プロトコル処理装置、レイヤ2プロトコル処理装置及びレイヤ3プロトコル処理装置と、各レイヤプロトコル処理装置と回線との間で入出力され、ユーザデータ及び各レイヤのプロトコル

ル処理に用いられるヘッダ情報等のデータを格納する共用メモリと、を有し、各レイヤプロトコル処理装置のそれぞれは、前記共用メモリにアクセス可能に構成され、レイヤ1〜レイヤ2間で行われるフレーム転送やレイヤ2〜レイヤ3間で行われるパケット転送においては共用メモリに格納されたデータを直接転送することなく、格納された共用メモリ上の先頭及び末尾アドレス値により、間接的にデータの転送を行うことを特徴とする。

【0014】

【作用】 回線入出力データ格納用の共用メモリが各レイヤプロトコル処理装置がアクセス可能に構成され、レイヤ1〜レイヤ2間のフレーム転送がフレーム自体ではなく、共用メモリに格納されたアドレスにより間接的に転送されるので、回線入出力データ格納用のメモリを1つにまとめられることとなる。

【0015】 また、レイヤ1〜レイヤ2間の転送データ量が減るので、両プロトコル処理部でデータ転送に要していた処理が軽減される。

【0016】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【0017】 図1は本発明の一実施例の構成を示す図であり、本発明に基づいたレイヤ1〜3プロトコル処理装置のブロック構成の概略及びデータの流れを示したものである。

【0018】 本実施例は、レイヤ1プロトコル処理部101、レイヤ2プロトコル処理部102、レイヤ3プロトコル処理部103によりレイヤ1〜レイヤ3の各処理がそれぞれ行われる。各プロトコル処理部はシステムバス104を介して共用メモリ105と接続され、また、該共用メモリ105の使用を制御するバス競合制御部106と接続されている。

【0019】 なお、図中の各符号のそれぞれは以下の内容を示すものである。

【0020】 a0：パケット先頭アドレス

a1：パケット末尾アドレス

A0：フレーム先頭アドレス

A1：フレーム末尾アドレス

L2C：レイヤ3プロトコル処理部103からレイヤ2プロトコル処理部102へのコマンド

L2S：レイヤ2プロトコル処理部102からレイヤ3プロトコル処理部103への状態報告

L1C：レイヤ2プロトコル処理部102からレイヤ1プロトコル処理部101へのコマンド

L1S：レイヤ1プロトコル処理部101からレイヤ2プロトコル処理部102への状態報告

X0：L2C格納アドレス

X1：L2S格納アドレス

X2：L1C格納アドレス

X3：L1S格納アドレス

本発明においては、従来構成からの変更の実現が課題解決の手段となる。

【0021】 すなわち、以下の2点の実現である。

【0022】 (1) レイヤ1プロトコル処理部をバスに接続する

従来レイヤ1プロトコル専用であったメモリがバスに接続された各プロトコル共用のメモリとなるのでレイヤ1処理部にバスシーケンス（バス獲得/解放）処理回路を追加する。

【0023】 (2) フレームからアドレスへのレイヤ1〜レイヤ2間インタフェースの変更

従来のレイヤ1（ATM）及びレイヤ2間で直接フレームの受け渡しを行っていたので、これを共用メモリの先頭アドレス及び末尾アドレスによりフレームの受け渡しを間接的に行うよう変更する。

【0024】 上記のことを実現するための本実施例における装置構成及び処理シーケンスの特徴的な部分について以下に記す。

【0025】 (1) 装置構成

本実施例は、図4に示した従来例ではレイヤ1用のプロトコル処理部が専用に使っていたフレーム格納メモリをバスに接続したことが大きな変更点となる。

【0026】 レイヤ1〜3各々のプロトコル処理部とそれらが使用する共用のメモリが互いにアクセス可能なようにバスに接続される。各プロトコル処理部がバス使用の際、衝突しないようバス競合制御部106が各々と接続される。各レイヤ間では入出力回線データ自体を直接転送するのではなく、共用メモリにそれが格納されたアドレスにより間接的に転送される。アドレスは例えば図1における各レイヤ間のプリミティブ（L2C、L2S、L1C、L1S）に含めるような形で行われる。

【0027】 上記の構成とするためには、フレーム格納メモリアクセスの前にバス獲得要求をバス競合制御部106に出力する回路を追加する必要があるが、この回路として従来より用いられているレイヤ3用及びレイヤ2用のプロトコル処理部と同じ回路をそのまま用い、バス競合制御部をレイヤ3用及びレイヤ2用のプロトコル処理部の2者調停であったものをレイヤ1用のプロトコル処理部も加えた3者調停にすれば変更量も少なく実現することができ、さらに、競合の優先順位においてレイヤ1を最高位におけば、レイヤ1プロトコル処理部は共用メモリが専用に近い状態で使用できることになり、従来回路とほぼ同じものを用いることができる。

【0028】 本実施例は、競合制御部を3者調停のものとし、また、共用メモリ105の競合の優先順位としてレイヤ1プロトコル処理部101が最優先となるように構成されている。

【0029】 (2) 処理シーケンス

次に、レイヤ1〜レイヤ2間で直接フレームの受け渡しを行っていたものを共用メモリにフレームが格納された

アドレスにより間接的に受け渡しを行う実施例について記す。アドレスの受け渡しにおいて次の2点が装置構成及び処理手順上の考慮点となる。

【0030】①：レイヤ1-レイヤ2間のフレーム格納アドレスの転送方法

②：フレーム格納アドレスの管理をどこで行うか

①についてはレイヤ1-レイヤ2間で直接転送を行う方法や、共用メモリを介して行う方法等の物理的な選択と、フレーム格納アドレスをどのようなデータフォーマットにして転送するか（例えば、アドレスのみの転送か、もしくは、他のプリミティブと合わせての転送か等）という論理的な選択に大別出来る。

【0031】本実施例では物理的には共用メモリを介して、論理的には他のプリミティブと合わせる方法が示されている。例えば、レイヤ1プロトコル処理部101がフレーム組み立てを完了した時、レイヤ2プロトコル処理部102に現在の状態を報告するためのL1S起動信号を出力する。これを受けたレイヤ2プロトコル処理部は、あらかじめ決められたL1S格納アドレスX3にL1Sを読みに行く。L1Sの内容はプリミティブとして組み立て完了が表示されるもので、併せてフレーム格納アドレスを示すフレーム先頭アドレスA0、フレーム末尾アドレスA1も示されている。

【0032】②は装置における処理シーケンスに影響を与えるものである。例えば、レイヤ3プロトコル処理部103にてメモリ管理を行う場合には、レイヤ3からレイヤ2へ、レイヤ2からレイヤ1へと順に受信データ用メモリアドレス（空エリア）、送信データ用メモリ（データが格納されているエリア）が伝えられる。

【0033】図2はレイヤ3プロトコル処理部103にてアドレス管理を行う場合の受信側処理シーケンスを示す図であり、図3は同様のアドレス管理による送信側処理シーケンスを示す図である。

【0034】まず、図2を参照して受信時の処理について説明する。

【0035】回線より有効なセルが受信され、該セルを受信するためのアドレス要求がレイヤ1プロトコル処理部101からレイヤ2プロトコル処理部102を介して送られてくると、レイヤ3プロトコル処理部103はこれを処理するために空エリアの検索を行う。この後、上記の検索された結果である空エリアを示すアドレスをレイヤ2プロトコル処理部102を介してレイヤ1プロトコル処理部101へ送出する。レイヤ1プロトコル処理部101では、該指示に示されるアドレスからフレームに組み立てるレイヤ1プロトコル処理を行った後に、該組み立てたフレームの長さを示す末尾アドレスをレイヤ2プロトコル処理部102に通知する。レイヤ2プロトコル処理部102ではフレームが組み立てられた先頭アドレスからフレーム終端までのレイヤ2プロトコル処理を行ってパケットとし、パケットを受信したことおよび

パケットが格納されたアドレスをレイヤ3プロトコル処理部103へ通知する。これを受けてレイヤ3プロトコル処理部103ではレイヤ3プロトコル処理を行う。

【0036】次に、図3を参照して送信時の処理について説明する。

【0037】レイヤ3プロトコル処理部103がパケット送信要求および該パケットが格納されているアドレスをレイヤ2プロトコル処理部102へ送出すると、レイヤ2プロトコル処理部102にてレイヤ2のプロトコル処理が行われる。この結果、送信パケットに対応するフレームが格納されているアドレスが確認されると、該フレームを送信する要求を確認したアドレスとともにレイヤ1プロトコル処理部101に送出する。レイヤ1プロトコル処理部101では、指定されたアドレスに格納されているフレームを読み取ってセル107に分解するレイヤ1プロトコル処理（ATMプロトコル処理）を行って、これを回線に送出するとともに、レイヤ2プロトコル処理部102に対しては送信処理が終了したことを示す終了通知を送出する。レイヤ2プロトコル処理部102では、送信によって変化した状態変数を更新するレイヤ2プロトコル処理を行い、レイヤ3プロトコル処理部103に対して送信終了通知を行う。レイヤ3プロトコル処理部103では状態変数を更新するレイヤ3プロトコル処理を行い、また、管理するアドレスに空エリアを追加する処理を行う。

【0038】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0039】回線入出力データ格納用のメモリをレイヤ1〜3共用にし、レイヤ1-レイヤ2間のフレーム転送をフレーム自体ではなく、共用メモリに格納されたアドレスにより間接的に転送することにより回線入出力データ格納用のメモリを1つにまとめることにより、装置全体としての所要メモリ量を削減することができる効果がある。

【0040】また、レイヤ1-レイヤ2間の転送データ量が減ることにより、両プロトコル処理部でデータ転送に要していた処理を軽減することができ、処理速度を向上することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】図1に示した実施例の受信時の処理を示すシーケンス図である。

【図3】図1に示した実施例の送信時の処理を示すシーケンス図である。

【図4】従来例の構成を示す図である。

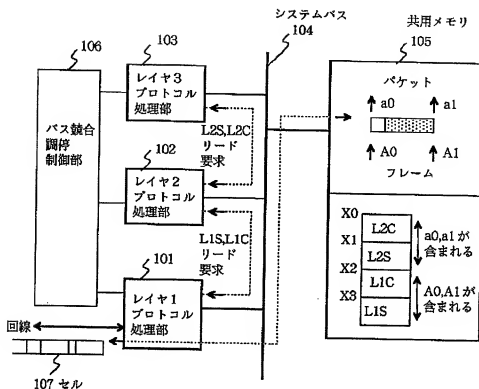
【符号の説明】

101 レイヤ1プロトコル処理部
102 レイヤ2プロトコル処理部
103 レイヤ3プロトコル処理部

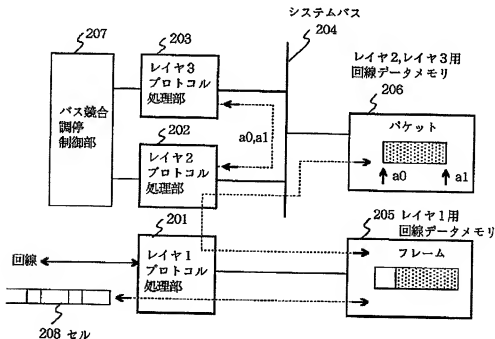
104 システムバス
105 共用メモリ

106 バス競合調停制御部
107 セル

【図1】

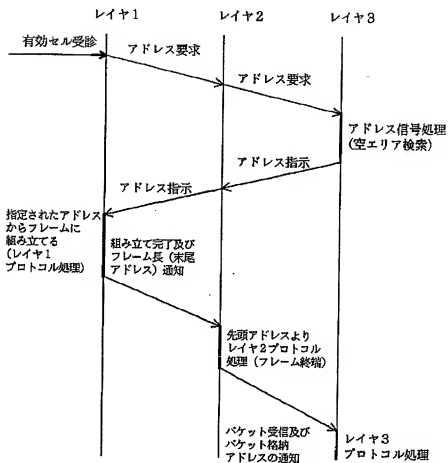


【図4】



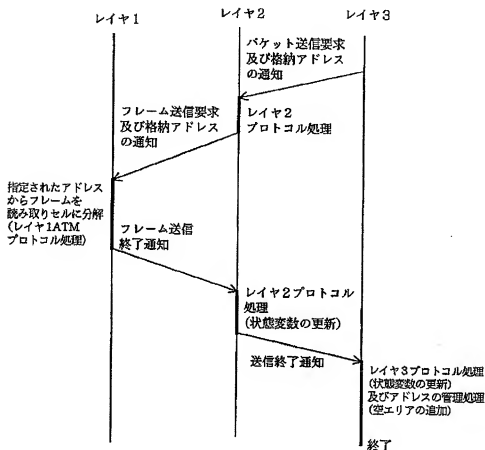
【図2】

受信処理シーケンス (アドレス管理をレイヤ3で行なう場合)



【図3】

送信処理シーケンス（アドレス管理をレイヤ3で行なう場合）



【手続補正書】

【提出日】平成5年11月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 階層構造に基づいたデータ通信処理を行う装置であって、
レイヤ1プロトコル処理装置、レイヤ2プロトコル処理装置及びレイヤ3プロトコル処理装置と、
各レイヤプロトコル処理装置と回線との間で入出力され、ユーザデータ及び各レイヤのプロトコル処理に用いられるヘッダ情報等のデータを格納する共用メモリと、
を有し、
各レイヤプロトコル処理装置のそれぞれは、前記共用メ

モリにアクセス可能に構成され、レイヤ1ーレイヤ2間で行われるフレーム転送やレイヤ2ーレイヤ3間で行われるパケット転送においては共用メモリに格納されたデータを直接転送することなく、格納された共用メモリ上の先頭及び末尾アドレス値により、間接的にデータの転送を行うことを特徴とするメモリ共用多層プロトコル処理装置。

【請求項2】 請求項1記載のメモリ共用多層プロトコル処理装置において、
レイヤ1プロトコル処理装置、レイヤ2プロトコル処理装置及びレイヤ3プロトコル処理装置のそれぞれより出力されるバス獲得要求が衝突しないようにこれらの3者調停を行うとともに、該調停の際にレイヤ1プロトコル処理装置を優先するバス競合調停部を有することを特徴とするメモリ共用多層プロトコル処理装置。